

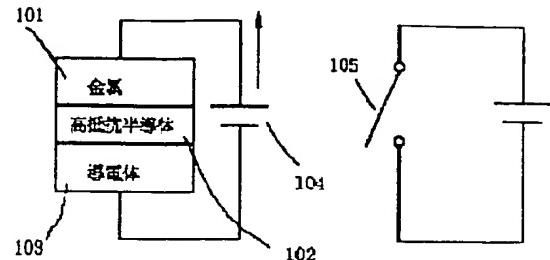
EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07176772
 PUBLICATION DATE : 14-07-95

APPLICATION DATE : 17-12-93
 APPLICATION NUMBER : 05318732

APPLICANT : OMI TADAHIRO;



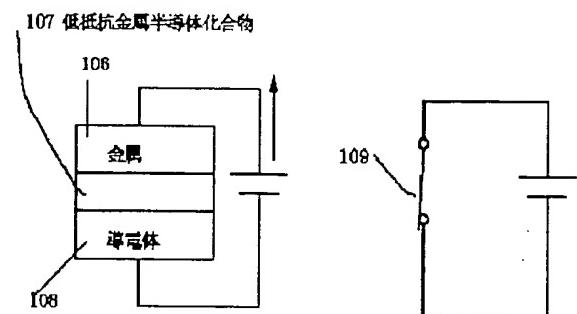
(a)

(b)

INVENTOR : NAKAMURA YOSHIO;

INT.CL. : H01L 29/88 H01L 21/28 H01L 21/82
 H01L 27/10

TITLE : SEMICONDUCTOR DEVICE



(c)

(d)

ABSTRACT : PURPOSE: To enable information to be stored after manufacturing an IC chip and to achieve a high-speed reading by generating a reaction between a conductive region consisting of metal and a high-resistance semiconductor region and forming a low-resistance metal semiconductor compound.

CONSTITUTION: This device is an anti-fuse in a structure where a high-resistance semiconductor region 102 is held by two conductors. A first conductor 101 is made of metal and a second conductive region 103 may be made of metal or any other semiconductors. Current is fed to the high-resistance semiconductor region 102 via the first conductive region 101 and second conductive region 103 or heat is applied externally. Or, a reaction is generated between the first conductive region 101 and the high-resistance semiconductor region 102 made of metal using both methods so that a low-resistance metal semiconductor compound 107 can be formed, thus achieving a low-resistance anti-fuse and rectification characteristics for a high-density and high-speed ROM.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-176772

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.⁶
H 01 L 29/88
21/28
21/82

識別記号 厅内整理番号
L 8826-4M

F 1

技術表示箇所

H 01 L 29/ 88
8832-4M 21/ 82
F
審査請求 未請求 請求項の数17 O.L (全 14 頁) 最終頁に続く

(21)出願番号

特願平5-318732

(71)出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(22)出願日 平成5年(1993)12月17日

(72)発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の301

(72)発明者 山下 稔雄

宮城県仙台市青葉区荒巻字青葉(無番地)
東北大学工学部電子工学科内

(72)発明者 中村 佳夫

神奈川県厚木市森の里4-4-13

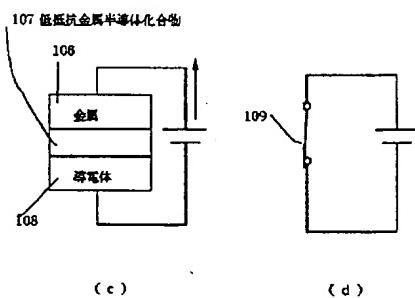
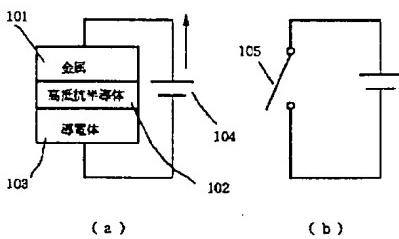
(74)代理人 弁理士 福森 久夫

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は、情報の記憶がICチップ製造後にできるとともに、高速読み出しが可能な超高集積ROM等の半導体装置を提供することを目的とする。

【構成】 どちらか一方もしくは両方が金属からなる第1及び第2の導電性領域と、前記第1及び前記第2の導電性領域の間に設けられた高抵抗半導体領域とからなる半導体素子を少なくとも1つ有す半導体装置であって、前記第1の導電性領域及び前記第2の導電性領域を通して前記高抵抗半導体領域に電流を流すことにより、もしくは外部から熱を加えることにより、またはその両方により、前記第1及び第2の導電性領域の内金属からなる導電性領域と前記高抵抗半導体領域間で反応を生ぜしめ、低抵抗の金属半導体化合物を形成するように構成したことを特徴とする。



／及び前記第2の導電性領域とこれと接する第2の導線性配線とが同じ材料で形成されていることを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記半導体素子の構造変化を電気的に検知する手段を設けたことを特徴とする請求項1～12のいずれか1項に記載の半導体装置。

【請求項14】 前記電気的に検知する手段では、前記半導体素子の構造変化を検知できなくなる手段を設けたことを特徴とする請求項13に記載の半導体装置。

10 【請求項15】 前記半導体装置は、リード・オンリー・メモリであることを特徴とする請求項13または14に記載の半導体装置。

【請求項16】 前記反応により、任意の配線間の電気的な接続及び絶縁を製造プロセス終了後に任意に決定でき、これにより回路機能を任意に設定できることを特徴とする請求項11～15のいずれか1項に記載の半導体装置。

【請求項17】 前記半導体装置は、完全セルフアラインで作製されたことを特徴とする請求項1～16のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に係り、電流あるいは熱により誘起される不可逆的反応により配線と配線を接続する機能を提供するものであり、特に、高集積・高速リードオンリーメモリを実現するものである。

【0002】

【従来の技術】 映画やビデオ、音楽ソフト等は一度書き込めば、その後は、何度も読み出すだけで、再び書き換える必要のないものであり、いわば読み出し専用のメモリと言える。

30 【0003】 これら映画やビデオ、音楽等の情報の多くは磁気テープやコンパクトディスクに保存されている。しかし、磁気テープやコンパクトディスクを用いた方法では、読み出しセンサーを、磁気テープやディスクを表面に近づけて、テープやディスクを高速回転させる機械的な構造が必要である。この方法では、読み出し装置を小型化することは難しく、また、読み出し速度が機械的な回転速度で決まるため、大量のデータを高速に読み出すことは困難である。同時に、書き込みにも長時間を必要とする。

40 【0004】 そこで、磁気媒体等に比べて高速に読み出し・書き込みが行えて、読み出し・書き込み装置に機械的な回転部を必要としない小型の記憶媒体が要求されている。

【0005】 これを実現する記憶媒体として、ICプロセスにより製造される、電気的に読み出しが可能なリードオンリーメモリ(ROM)がある。このメモリには、IC製造工程におけるマスクで情報を記憶するマスクR

【特許請求の範囲】

【請求項1】 どちらか一方もしくは両方が金属からなる第1及び第2の導電性領域と、前記第1及び前記第2の導電性領域の間に設けられた高抵抗半導体領域とからなる半導体素子を少なくとも1つ有す半導体装置であって、前記第1の導電性領域及び前記第2の導電性領域を通して前記高抵抗半導体領域に電流を流すことにより、もしくは外部から熱を加えることにより、またはその両方により、前記第1及び第2の導電性領域の内金属からなる導電性領域と前記高抵抗半導体領域間で反応を生ぜしめ、低抵抗の金属半導体化合物を形成するように構成したことを特徴とする半導体装置。

【請求項2】 前記金属は、高融点金属、高融点金属を含む合金、または高融点金属の化合物であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記金属は、W、Ta、Ti、Co、Mo、Hf、Ni、Zr、Cr、V、Pd及びPtのうち少なくとも1つを含むことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記高抵抗半導体領域は、一導電型の半導体と、前記一導電型の半導体とは反対導電型の半導体と、真性半導体のうちの少なくとも1つ以上の半導体層から構成されることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記高抵抗半導体領域は、シリコンからなることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 前記半導体素子は、整流特性を示す構造を有することを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記整流特性を示す構造は、pn接合であることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記整流特性を示す構造は、ショットキ一接合であることを特徴とする請求項6に記載の半導体装置。

【請求項9】 前記整流特性を示す構造の逆方向バイアス時の抵抗は、前記高抵抗半導体領域の抵抗より大きいことを特徴とする請求項6～8のいずれか1項に記載の半導体装置。

【請求項10】 前記整流特性を示す構造の順方向バイアス時の抵抗は、前記高抵抗半導体領域の抵抗より小さいことを特徴とする請求項6～9のいずれか1項に記載の半導体装置。

【請求項11】 複数の第1の導電性配線と、複数の第2の導電性配線とがマトリックス状に配置され、該複数の第1及び第2の導電性配線が交差する部分に、前記半導体素子が設けられていることを特徴とする請求項1～10のいずれか1項に記載の半導体装置。

【請求項12】 前記第1の導電性領域とこれに接する前記第1の導電性配線とが同じ材料で形成され、または

OM、ICチップ製造後に電流によって、フューズ素子（ポリシリコン）を溶断して情報を記憶するフューズROM、同じく電流によって絶縁体をブレークダウンさせて導電体として情報を記憶するアンチフューズROMがある。

【0006】しかし、IC製造プロセス中のマスクで情報を記憶するマスクROMは、書き込む情報に応じて、新しくマスクを作成しなくてはならず、製品が出来るまでに多くの時間を要し、少量生産では製造価格が高価なものとなってしまう。

【0007】フューズROMは、「1」が記憶されているメモリ素子を流れる電流が、溶断されていないフューズ（高抵抗ポリシリコン）により小さく抑えられるため、高速読み出しが困難である。また、ヒューズ溶断時のゴミの発生による誤動作が発生するという問題もある。

【0008】絶縁体をブレークダウンさせて導電体として情報を記憶するアンチフューズROMも、ブレークダウン後の抵抗を小さくすることが難しく、その結果「1」が記憶されているメモリ素子を流れる電流が小さくなり、高速読み出しが難しいという問題がある。

【0009】【発明が解決しようとしている課題】かかる状況において、ICプロセスが終了した後に記憶情報を書き込む方式の安価なROMで、電気的に導通状態にするメモリ素子の抵抗成分を十分小さくできるヒューズまたはアンチヒューズを用いた高速に読み出し可能なROMの開発が望まれている。

【0010】また、従来のROMは、各メモリ素子が1つのNMOSトランジスタで構成されているため、1メモリセル当たりの占有面積をNMOSトランジスタの占有面積以下にすることはできず、各メモリ素子を構成するデバイスの占有面積を小さくする手法の開発が必要である。

【0011】そこで本発明の目的は、情報の記憶がICチップ製造後にできるとともに、高速読み出しが可能な超高集積ROM等の半導体装置を提供するものである。

【0012】【課題を解決するための手段】本発明の半導体装置は、どちらか一方もしくは両方が金属からなる第1及び第2の導電性領域と、前記第1及び前記第2の導電性領域の間に設けられた高抵抗半導体領域とからなる半導体素子を少なくとも1つ有す半導体装置であって、前記第1の導電性領域及び前記第2の導電性領域を通して前記高抵抗半導体領域に電流を流すことにより、もしくは外部から熱を加えることにより、またはその両方により、前記第1及び第2の導電性領域の内で金属でできている導電性領域と前記高抵抗半導体領域間で反応を生ぜしめて、低抵抗金属半導体化合物を形成するように構成することを特徴とする。

【0013】

【作用】高抵抗半導体を第1及び第2の導電材料で挟持し、第1及び第2の導電性材料の内少なくとも一方を金属材料とすることにより、極めて特性の優れたアンチフューズを構成することができる。即ち、第1及び第2の導電性材料に半導体がブレークダウンを起こす電圧を印加することにより、半導体に電流が流れて金属と半導体間で反応が起こり、抵抗の小さな金属半導体化合物が生成する。この現象は、例えばレーザ等により熱を加えても起こすことができる。

【0014】本発明において、高抵抗半導体とは、比抵抗として $10^4 \Omega \cdot cm$ 以上のものをいい、 $10^4 \Omega \cdot cm$ 以上のものが好ましい。半導体材料としては、金属材料と電流や熱等により低抵抗化合物を形成するものであれば、どのような材料も用いることができるが、具体的には、Si、SiC等が挙げられる。このうち、とくにSiが好ましく、金属と反応して、極めて低抵抗なシリサイドを形成する。

【0015】また、金属は、高融点金属、またはその合金、またはそれらの化合物等が好適に用いられ、高融点金属としては、W、Ta、Ti、Co、Mo、Hf、Ni、Zr、Cr、V、Pd及びPtが好適に用いられる。

【0016】高抵抗半導体領域の厚さは、ブレークダウン電圧等の仕様によって決定されるが、周辺回路との関係上、 $0.5 nm \sim 1 \mu m$ が好ましい。また、金属の厚さは、半導体との化合物形成反応に十分な膜厚に決めればよい。

【0017】さらに、高抵抗半導体領域に、直列に整流作用を有する構造をつけ加えることにより、メモリセルとしての機能をもつ。このメモリセルは、構造が簡単で、しかも配線間隔に並べることができることから、超高密度のROMを実現することができる。

【0018】また、本発明の半導体装置は、完全セルフアラインで作製することができるため、製造工程が簡略化され、高記録密度のROMを容易に作製することができる。

【0019】

【実施例】以下に実施例を挙げて本発明を詳細に説明するが、本発明がこれら実施例に限定されるものではないことは言うまでもない。

【0020】(実施例1) 本発明の第1の実施例を、図1(a)を用いて説明する。図1(a)は高抵抗の半導体領域を2つの導電体で挟みこんだ構造をしたアンチフューズである。導電体101は例えばタンクステンやタンタルなどの金属でできている。導電体103は金属でもよいし、それ以外の、例えば高濃度に不純物ドープされた半導体でもよい。高抵抗半導体領域102は、例えば低濃度に不純物がドープされたシリコンでもよいし、不純物の入っていないシリコンでもよい。104は電圧源であ

り、任意の電圧を導電体101と103の間にかけることができる。この例では金属101に正の電圧をかけているが、これは負の電圧でもよい。高抵抗半導体領域中には電流が流れにくいので、電圧をかけても電流はほとんど流れず、導電体101と103は電気的に絶縁されている。この状態は等価的に図1(h)のような回路として扱うことができる。105はスイッチを表わし、この場合、オフとなっている。

【0021】図1(a)において電圧源104で供給する電圧を、高抵抗半導体中の電界がブレークダウン電界より大きくなるまで上げると、高抵抗半導体中において電子および正孔が多数発生し、電流が流れ始める。この電流により半導体領域102において発熱が始まり、この熱により金属101と高抵抗半導体102が反応し、例えばタンクステンシリサイドやタンタルシリサイドなどの低抵抗金属半導体化合物が形成される。

【0022】図1(c)はこの反応により半導体102がすべて低抵抗金属半導体化合物となった状態を示している。この状態では金属106と導電体108は低抵抗の金属半導体化合物107を通して電気的に接続された状態となり、等価的に図1(d)の回路で表わすことができる。109はスイッチであるが、この場合は、オンとなっている。

【0023】以上のことから、図1(a)の構造を持った半導体装置はアンチフューズとして機能することができる。これは、初期状態においては絶縁物として機能するが、金属と高抵抗半導体の間で反応を起こすことにより導電体として機能するものである。また、これはオン状態とオフ状態を素子の中に記憶することができるため、メモリ素子として用いることが可能であるが、これについてはあとの実施例で述べる。

【0024】通常用いられているアンチフューズは、例えばシリコン空化膜を高抵抗絶縁物として用いているが、ブレークダウンを起こした後の抵抗が十分小さくないので、オン状態を記憶したあとでも十分に大きな電流を流すことはできず、回路動作の高速化の妨げとなっていた。

【0025】これに対し、図1で示したアンチフューズは、低抵抗の金属半導体化合物が全面で形成されるため、ブレークダウンを起こした後の抵抗が十分小さくなり、回路の高速化が可能となる。

【0026】以上の例において、金属101及び106にタンクステンやタンタルを用いたがこれらのかわりに他の金属(例えば、W, Ta, Ti, Co, Mo, Hf, Ni, Zr, Cr, V, Pd及びPt等)を用いてよい。また、高抵抗半導体102にはシリコンを用いたが、このかわりにその他の半導体を用いてよいことは言うまでもない。

【0027】(実施例2) 図2は本発明の第2の実施例を示す回路である。これは、多数の配線中で、任意の配

線間をショートさせる手法を示している。金属配線201, 202と導電体配線203, 204に挟まれて高抵抗半導体205, 206, 207, 208が設けられている。この金属配線201, 202は例えばタンクステンやタンタル等であるが、その他の金属でもよい。導電体配線203, 204は金属でもよいし高濃度に不純物ドープされた半導体でもよい。

【0028】例えば、高抵抗半導体領域205を低抵抗金属半導体化合物とすることを考える。まず最初に、図2(a)に示す様に金属配線201を電圧源209に、金属配線202を電圧源210に、導電体配線203をグラウンド電極に、204を電圧源211に接続する。この時、電圧源209は電圧源210, 211よりも小さな電圧を出力している。例えば、電圧源209の出力はVDD/2, 210, 211はVDDとすると、高抵抗半導体領域205にはVDDの電圧が、206, 208にはVDD/2の電圧がかかり、207には電圧はからない。高抵抗半導体中でブレークダウンを起こすための電圧がVDD/2とVDDの間になるように高抵抗半導体層の厚さや不純物濃度を設定しておくと、ブレークダウンは高抵抗半導体205のみで起こる。よって、高抵抗半導体205だけが金属配線202と反応し、低抵抗金属半導体化合物となる。

【0029】この方法で、金属配線及び導電体配線に加える電圧を変えることにより、任意の場所の高抵抗半導体領域を低抵抗金属半導体化合物に変えることができる。これは任意の配線どうしの接続及び絶縁を任意に決定できることを示している。

【0030】この例において、また、電圧源209はVDD/2としたが、これはVDDより小さな電圧を出力すればよく、VDD/2に限らない。また、配線に加える電圧は正としたが、これは負でもよい。さらに、金属配線201, 202を金属以外の導電体にして、導電体配線203, 204を金属で形成しても同様のことが成り立つことは言うまでもない。

【0031】金属と高抵抗半導体の反応は、この例で示したように、所定の高抵抗半導体層に電流を流すことによって行なうのが、レーザやヒータで熱を外部から与えることによって反応を行なうよい。また、熱を外部から与えながら電流を流して反応を起こしてもよい。両者を併用することにより、反応が容易になり高速な配線間の接続が達成される。

【0032】本実施例では、2本の金属配線と2本の導電体配線について述べたが、これはそれぞれ任意の本数並べてもよい。この場合も同様に、任意の場所の金属配線と導電体配線の絶縁および接続を、任意に決定することができる。

【0033】また、本実施例では、配線が金属で構成されている例を示したが、すべての配線を金属以外のもので構成し、そのかわり配線と配線の間に、高抵抗半導体

層に接する金属層を挟み込んでもよい。

【0034】この様に2つの配線間にかける電圧によって、配線の接続、絶縁を任意に決定できるため、半導体集積回路において、素子と素子の接続の仕方をIC製造プロセスの後で設定することができる。これにより、例えば、AND回路とのOR回路を多数並べておいて、それらの回路間を接続する配線を、各ユーザの使用目的によって自由に決定することができる、いわゆる、プログラマブル・ロジック・アレイ（PLA）を実現することができる。以下にその実施例を示す。

【0035】（実施例3）図3（a）、（b）に本発明の第3の実施例を示す。すべての論理関数はANDとOR論理の結合により表わすことができることは既知の事実である。この回路は、AND回路とOR回路をあらかじめ用意しておき、これらの回路の入出力配線の接続、絶縁をIC製造プロセス後に任意に決定することで、任意の関数を実現することができる、いわゆるプログラマブル・ロジック・アレイ（PLA）である。本例では、説明を簡単にするために2入力の排他的論理和（XOR）を例にして説明する。

【0036】図3（a）において312、313は2入力AND回路であり、321は2入力OR回路である。310、311はインバータである。これらの回路は通常のICプロセス技術によって作ることができる。301～308、316～320は入出力配線である。これらの配線は金属でもよいし、それ以外の導電体でもよい。配線301～304は配線305～308とは異なる層で形成し、配線316と317は配線318、319と異なる層で形成してある。

【0037】図3（b）は、図3（a）の配線301と配線308の交点309の構造を示している。322で示される層は金属層であり、この層に高抵抗半導体層323が接している。配線301と308の内どちらか一方が金属の時は、金属層322はあってもよいしなくてよい。また、高抵抗半導体層と金属層が接する構造は、配線301と308の間に複数個あってもよい。

【0038】実施例2において述べた方法により、例えば、配線301と308の間に電圧をかけて、高抵抗半導体層323中でブレーカダウンを起こし、低抵抗金属半導体化合物を形成することで、配線301と308を電気的に選択して電気的に接続することができる。図3（a）の309で示しているような黒い丸は、配線と配線が選択的に接続されたことを示しており、これらの接続はIC製造プロセスの最終段階もしくは全プロセス終了後に選択的に行なうことができる。

【0039】例えば、配線間の接続を図3（a）の様に行なうと、入力A、Bに対して、出力320の値はA、Bの排他的論理和となる。ここでは排他的論理和を実現する配線の接続をしているが、接続する配線を変えることにより、2入力のすべての論理演算を実現することができる。

能である。

【0040】ここでは2入力について考えたが、入力・AND回路・OR回路の数は必要に応じて任意に増やしてもよく、同様に多入力の任意の論理関数を実現することができる。

【0041】また、このように配線間を任意に接続する技術はPLAのみならず、多数の演算ユニット間の配線を任意に接続する、フィールド・プログラマブル・ゲート・アレイ（FPGA）に応用できることは言うまでもない。

【0042】（実施例4）図4に本発明の第4の実施例を示す。これは、配線と配線とを電気的にショートさせるか否かで情報を電気的に書き込み、さらにそれを読み出す回路である。例えば、配線と配線が電気的にショートしている状態を「1」、ショートしていない状態を「0」とし、この「1」と「0」の情報を書き込み、読み出す回路である。この回路において書き込みは実施例1から3で示したように、高抵抗半導体と金属との不可逆反応により1度だけ行われ、その後はいわゆるリード・オンリー・メモリ（ROM）として用いることができる。

【0043】図4は1ビットのROMの構造を示している。配線422、423はワードライン、配線424、425はピットラインである。ワードライン及びピットラインは金属配線でもよいしそ他の導電体でもよい。各ワードラインと各ピットラインが交差する部分には、ワードラインとピットラインに挟まれる形で、金属層429、高抵抗半導体層428、P層427、N層426が形成されている。

【0044】ここで配線422、423と金属層429が同一金属の場合は、金属層429はあってもなくてもよい。配線424、425がN層のときも、N層426はあってもなくてもよい。また、金属層429、高抵抗半導体層428、P層427、N層426が積み重なる順番は、金属層429と高抵抗半導体層428が接していれば任意の順番でよい、金属層と高抵抗半導体層が複数回繰り返して積層する構造を含んでいてもよい。この例では、この積層構造が例えば、図4で示したような構造をとる場合を例にして、ROMへの書き込み、読み出しの手順を示す。

【0045】414、416、418、420はインバータであり各ピットラインの電圧が、インバータ414、418の閾値より大きいか小さいかを判定する役割をしている。これは、ピットラインの信号を增幅し、その「1」、「0」を判断するセンサの役割であり、センスアンプと呼べるものである。配線422、423、424、425はそれぞれ独立に電源電圧端子401、404、408、411及び、グラウンド端子402、405、409、412に接続することが可能となっている。

【0046】スイッチ430, 431は図5(a)に示すようにNMOSを用いて実現できるが、図5(b)のようにCMOSインバータで構成してもよい。図5(a)でノード435の電圧は、Φ1を「1」にすると電源電圧がトランジスタ436を通して現われる、Φ1を「0」にするとトランジスタ437を通してグラウンド電圧が現われる。図5(b)では、Φ1が「1」で出力端子439にはグラウンド電圧が、Φ1が「0」で出力端子439には電源電圧が現われる。

【0047】また、スイッチ432, 433はノード410, 413を電源電圧端子に接続した状態、グラウンド端子に接続した状態、フローティング状態の3状態に設定できるスイッチで、図5(c)に示すようにNMOSを用いて実現できる。また、図5(d)に示すようにCMOSインバータとNMOSで構成してもよい。図5(c)でノード444はΦ2を「0」にするとトランジスタ441がカットオフし、フローティングになる。Φ2が「1」のもとでは、Φ1を「1」にするとトランジスタ442, 441を通して電源電圧が、Φ1を「0」にするとトランジスタ443, 441を通してグラウンド電圧がノード444に現われる。図5(d)ではノード447は、Φ2を「0」にするとフローティングになる。Φ2が「1」のもとでは、Φ1を「1」にするとグラウンド電圧が、Φ1を「0」にすると電源電圧がノード447に現われる。

【0048】図5(a), (c)において、NMOS 436, 437, 442, 443, 441はPMOSでもよいし、図5(e)に示すようなCMOS構成のアナログスイッチでもよい。CMOS構成のアナログスイッチにおいて、Φ1を「1」にするとノード448の電圧と同じ電圧が449に現われる。

【0049】図4の等価回路を図6に示す。説明を簡単にするために、図4をこの等価回路を用いて説明する。

【0050】まずROMへの書き込みについて説明する。この書き込みは、ICプロセスの最終段階(例えばパッケージングの前)に行ってもよいし、全ICプロセス終了後に行ってもよい。

【0051】スイッチ467は、図4における高抵抗半導体層428による絶縁状態を等価回路で表わしたものである。スイッチ466, 468, 469も同様に高抵抗半導体層を示しており、書き込み前はこれらのスイッチは全てオフ状態である。PNダイオード471は図4における427, 426のPN接合を示している。PNダイオード470, 472, 473も同様である。

【0052】453, 456はワードラインで、460, 464はビットラインである。スイッチ450, 454は例えば図5(a)あるいは図5(b)に示したスイッチであり、スイッチ458, 462は例えば図5(c)あるいは図5(d)で示したスイッチである。475, 477, 479, 481はビットラインの信号を

増幅し、その「1」、「0」を判断するセンスアンプを構成するインバータである。

【0053】説明のために、スイッチ468で表される高抵抗半導体を選択的に低抵抗金属半導体化合物とし、等価的にスイッチ468をオンにする方法について示す。実際は、スイッチ468だけに限らず任意の高抵抗半導体を選択的に低抵抗金属半導体化合物とすることができるとは言うまでもない。また、ワードライン、ビットラインの本数は任意に増やしても、同様の方法で任意の場所の高抵抗半導体を選択的に低抵抗金属半導体化合物とできることは言うまでもない。

【0054】最初、スイッチ450, 454, 458, 462は全てグラウンド電極側にし、全てのワードラインとビットラインを接地する。

【0055】その後スイッチ462を電圧源側に接続して、ビットライン464の電位を電源電圧VDDにする。この時、ワードライン456, 453とビットライン464の間には、VDDの電圧がかかることになるが、この電圧の方向はPN接合471, 473にとって、逆バイアスとなる。PN接合の逆バイアス時の抵抗を、高抵抗半導体層の抵抗に比べて十分大きくしておけば、ワードライン456, 453とビットライン464の間にかかる電圧のほとんどは、PN接合にかかる。このため、スイッチ467, 469で示される高抵抗半導体領域はブレークダウンすることはなく、つねに高抵抗層のままである。

【0056】ワードライン456, 453とビットライン460の間には電圧はかかるないので、この時点においては、スイッチ466, 468で示される高抵抗半導体領域もブレークダウンすることはなく、つねに高抵抗層のままである。

【0057】つぎに、スイッチ454を455側にして、ワードライン456の電位をVDDに上げると、ワードライン456とビットライン460の間にはVDDがかかり、ワードライン456とビットライン464の間に電位差はなくなる。

【0058】この時、ワードライン456とビットライン464の間には電圧はかかるないので、この時点においては、スイッチ469で示される高抵抗半導体領域はブレークダウンすることはなく、つねに高抵抗層のままである。

【0059】しかし、ワードライン456とビットライン460の間にはVDDがかかり、しかもこの方向はPN接合472にとって順方向であるために、この時のPN接合の抵抗はスイッチ468で示される高抵抗半導体領域の抵抗に比べて十分小さくなり、VDDのほとんどはスイッチ468で示される高抵抗半導体領域にかかる。よって、スイッチ468で示される高抵抗半導体領域中でブレークダウンが生じ、低抵抗金属半導体化合物となり、等価的にスイッチ468はオンする。これによつ

11

て、ワードライン456とピットライン460の交点のメモリセルに「1」が書き込まれたことになる。

【0060】この一連の書き込み動作をまとめると、以下の3つの動作を繰り返すことで任意の場所のメモリセルに「1」を書き込むことができる。

1) 全てのワードライン、ピットラインの電位をグラウンドにする。

2) 書き込みたいメモリセルが接続されているピットラインの電位はグラウンドのままで、それ以外のピットラインの電位をVDDとする。

3) 書き込みたいメモリセルが接続されているワードラインの電位をVDDとする。

【0061】図4の構造のROMでは、配線422、423、424、425及び金属層429、高抵抗半導体層428、P層427、N層426の周りは、例えばシリコン酸化膜等の絶縁膜で被うことになる。半導体に例えばシリコンを用いると、各メモリセル部分において、シリコンの誘電率は廻りのシリコン酸化膜の誘電率より3倍大きくなるため、書き込み時に高抵抗半導体層に電界をかけたときに、電気力線は誘電率のより大きなシリコン側に伸びる。これにより、角に電界が集中する、いわゆる効果を防ぐことができるため、ブレークダウン電流を高抵抗半導体層の端だけでなく全面で起こすことが可能となり、全面にわたって均一な低抵抗金属半導体層を形成することができる。これは素子の低抵抗化、高速化にとって非常に大きな利点となる。

【0062】次に書き込んだ情報を読み出す方法について述べる。説明を簡単にするためにここでは、スイッチ466、468で表わされる高抵抗半導体領域だけが低抵抗金属半導体化合物となっているとする。しかし、実際はこれに限らず、任意の場所のメモリ素子において、高抵抗半導体領域が低抵抗金属半導体化合物となつてもよいことは言うまでもない。

【0063】図7はスイッチ466、468で表わされる高抵抗半導体領域だけが低抵抗金属半導体化合物となつている(つまり、メモリの内容が「1」となっている)場合の等価回路である。

【0064】最初、スイッチ450、454、458、462は全てグラウンド電極側にし、全てのワードラインとピットラインを接地する。

【0065】次に、スイッチ458、462をグラウンドから切り離し、ピットライン460、464をフローティング状態にする。

【0066】その後、例えばスイッチ454を電源側にしてワードライン456の電位を電源電圧VDDとする。スイッチ468はオン状態で、また、PN接合は順方向バイアスされるので、ピットライン460にはワードライン456から電流が流れ込み電位が上昇する。インバータ477、481の閾値をグラウンド電位よりも少し高く設定しておくと、ピットライン460の電位がイン

バータ477の閾値を越えると、インバータ477は反転し、それにともなって、インバータ475も反転し、山カノード474の値は、「0」から「1」に変化する。この出力変化により、スイッチ468で示される高抵抗半導体層が実は低抵抗金属半導体化合物となつていることを知ることができる。つまり、メモリセルも情報が「1」であることを読み出すことができる。

【0067】このとき、スイッチ466もショートしているが、ワードライン453の電位はグラウンド電位で、ピットライン460の電位は正の電位となるので、PN接合470は逆方向となり、ピットライン460からワードライン453には電流は流れることはない。

【0068】ピットライン464に関しては、スイッチ469がオフなので、ワードライン456とピットライン464との間には電流が流れず、ピットライン464の電位はグラウンド電位のままである。よって、出力端子478は常に「0」となり、これにより、スイッチ469で示される高抵抗半導体層が絶縁状態を保持していることを知ることができる。つまり、メモリセルも情報が「0」であることを読み出すことができる。

【0069】次に、スイッチ466、467で示されるメモリの情報を読み出す場合は、再び全てのワードラインとピットラインを再びグラウンド電位にした後に、全てのピットラインをフローティングにして、今度はワードライン453を電源電圧に上げればよい。ピットライン460の電位はスイッチ466と順方向PN接合470を通して流れ込む電流により上昇する。一方、ピットライン464はスイッチ467がオフのため「0」のままである。

【0070】この一連の読み出し動作をまとめると、以下の3つの動作を繰り返すことで任意の場所のメモリセルの情報を読み出すことができる。

1) 全てのワードライン、ピットラインの電位をグラウンドにする。

2) 全てのピットラインをフローティングにする。

3) 読み出したいメモリセルが接続されているワードラインの電位をVDDとする。

(このときの各ピットラインに接続されているセンサアンプの出力で、メモリの内容をしすることができます。)

40 ピットラインがグラウンド電位より少し上昇し、「1」の情報の読み出しを行ったあとにその読み出し結果をラッピングすれば、それ以降はワードラインを電源から切り離してもよい。これにより消費電力を減少させることができます。

【0071】この実施例では、2本のワードラインと2本のピットラインについて述べたが、これらは任意の本数でよいことは言うまでもない。その場合も、同じ原理で任意のメモリセルに書き込みができるとともに、任意のメモリセルの情報を読み出すことができる。

50 【0072】このROMの特徴は、メモリ素子が導通状

底（「1」の情報を記憶しているとき）では、低抵抗金属半導体化合物と順方向PN接合を通して情報が読み出されるために、非常に高速な読み出しが可能になることがある。従来のROMは表面デバイスであるMOSトランジスタをスイッチ素子として用いているために電流が小さく高速化が困難であった。しかし、順方向PN接合を流れる電流は、接合にかかる電圧にたいして指數関数的に増加するために、表面デバイスであるMOSトランジスタに比べ大きな電流が流せるので高速化が可能である。

【0073】さらに大きな特徴は、このROMの構造はICプロセスにおいて完全セルフアラインで形成することができるることである。例えば、図4において、配線425、N層426、P層427、高抵抗半導体層428、金属性層429の各層を連続的に成膜し、まとめて縦方向の配線パターンでエッチングする。次に周辺部を、例えばシリコン酸化膜等の絶縁膜で覆い平坦化した後に配線422の層を成膜し、今度はさきほどの配線パターンと直行した配線パターンで一番下の配線425、424の直近までエッチングする。最後に再び絶縁膜で覆えば図4のROM部ができる。

【0074】このプロセスにより、メモリセルを配線間隔で並べることができるために高集積化を実現できる。この配線間隔はIC製造工程における最小加工寸法で決定されるため、非常に高密度なROMを実現できる。この最小加工寸法をとると、1メモリセルあたりが占有する面積は4L²となるが、これは基板平面上に2次元的に素子を製作するMOSトランジスタを用いた従来型のROMでは全く実現できないような高い集積度である。

【0075】また、本構造は縦方向に積み重ねることができるため、同一チップ面積でさらに集積度を上げることができる。

【0076】本実施例では、各ワード線とビット線を直接電圧源あるいはグラウンドに接続する方法を用いたが、ワードライン及びビットラインが数多く存在するときには、図6中のスイッチ450、454、458、462は図8に示すようなデコーダーを用いて構成してもよい。これは、4つの出力489、490、491、492の中から1つの出力を選び、その出力だけを「1」として、そのほかの出力を「0」とする回路である。

【0077】184で表わされるような黒丸は、配線群482と483の相互接続の状態が電気的にショートしていることを示している。AとBは入力で493、494はインバータである。485、486、487、488はAND回路であり、485の出力489はAが「0」でBが「0」のときだけ「1」になる。486の出力490はAが「0」でBが「1」のときだけ「1」になる。487の出力491はAが「1」でBが「0」のときだけ「1」になる。488の出力492はAが

「1」でBが「1」のときだけ「1」になる。

【0078】このように2つの入力A、Bにより4本の出力線のうち1本を選択することができる。また、フローティングの状態は、各出力線にNMOSトランジスタを接続して、そのゲートに入力する信号を「0」にすることで実現できる。

【0079】回路を大規模化することによって、これと同じ原理を用いて、さらに多数の出力線の中から任意の出力線を選び出すことが可能である。

【0080】このようにデコーダによってワード線、ビット線を選択してもよいが、このかわりに、ランダムロジックを用いても同様のことができる。これは、

【0081】図4で示したメモリセルの構造は、図9(a)に示すように高抵抗半導体とP層間に高濃度層495を挟んでもよい。これにより、金属と高抵抗半導体との反応が終了した時に、低抵抗金属半導体化合物と高濃度層が接することでコンタクト抵抗はさらに減少し大きな順方向電流を流すことができる。

【0082】本例では、ROMの中にPN接合を用いているが、これはPN接合のかわりに、図9(b)に示すように半導体496と金属497のショットキー接合を用いてもよい。この場合もPN接合同様、メモリセルに整流性を持たせることができる。

【0083】以上において、PN接合及びショットキー接合の方向は、それぞれの場合に応じて電源電圧の正負を変えれば逆になってしまよい。

【0084】(実施例5) 図10に本発明の第5の実施例を示す。図10は、2つの入力の論理和を出力する回路である。503～510、513～520はスイッチとPNダイオードからなっており、これは、ワードライン501、511とビットライン525、526、527、528に挟まれた、高抵抗半導体層とPN接合を示している。ここで、スイッチがオンになっているのは、選択的に高抵抗半導体層と金属層を反応させて、低抵抗金属半導体化合物にしていることを示している。

【0085】502、512はインバータである。スイッチ521～524は各ビットラインをグラウンド電位に初期化するためのスイッチであり、初期化のあとでこれらのスイッチをオフとしてビットラインをフローティングにすることで、演算結果が各ビットラインに現われる。

【0086】ビットライン525には、スイッチ503、513を通してAとBの信号が電気的に接続されているので、そのどちらか一方でも「1」であれば、ビットライン525には「1」が現われる。つまり、これは、AとBの論理和を計算していることになる。

【0087】同様にビットライン526にはBの反転とAの論理和、ビットライン527にはAの反転とBの論理和、ビットライン528にはAの反転とBの反転の論理和である。

15

理和が現われる。この方法で、さらに入力線及び出力線の本数を増やして行けば、任意の入力の任意の組み合わせの論理和を計算することができる。

【0088】AとBの入力の組み合わせは全部で4通りあるが、その各1通りに対してビットライン525～528の4本のうちの1本だけが「0」になり、他の3本は「1」となる。そこで、各ビットラインの出力を反転させて出力すると、A、Bの組み合わせの各1通りに対してビットライン525～528の4本のうちの1本だけが「1」になり、他の3本は「0」となる、いわゆるI48で示したようなデコーダが実現できる。

【0089】図11は、図10の各論理和の出力を、インバータ529、530、531、532で反転して出力する回路である。インバータ529で反転された出力は、Aの反転とBの反転の論理積で示される。インバータ530で反転された出力は、Aの反転とBの論理積で示される。インバータ531で反転された出力は、Bの反転とAの論理積で示される。インバータ532で反転された出力は、AとBの論理積で示される。

【0090】つまり、A、Bの4つの組み合わせの各1通りに対して、529～532の4本の出力のうちの1本だけが「1」になり、他の3本は「0」となるデコーダが実現されている。

【0091】さらに入力線及び出力線の本数を増やして行けば、任意の入力の任意の組み合わせの論理積を計算することができる。

【0092】図12は、図11の論理積を計算する回路と図10の論理和を計算する回路を用いて、例えば2入力の排他的論理和を実現した例である。533、534、535、536は図11の出力線と同じである。これらの線と出力線542の間の接続は、スイッチとダイオードの組み合わせ538、539、540、541によって決定される。この例では、配線534と535が配線542に接続されているので、542には534と535の論理和が出力される。

【0093】よって、入力A、Bに対して、配線542にはAとBの排他的論理和が現われることになる。

【0094】すべての論理演算は、ANDとORの組み合わせで実現できるので、この様にANDを実現する論理平面と、ORを実現する論理平面を組み合わせることで、任意の論理関数が実現できる。ここでは2入力の排他的論理和を例に説明したが、さらに多入力、多出力のAND平面とOR平面を用いることで、任意の入力数の任意の論理関数を実現できる。

【0095】また、多入力、多出力のAND平面とOR平面を用いることで、任意の信号群を入力し、それに1対1で対応した任意の信号群を出力する回路を作ることは言うまでもない。

【0096】このような論理回路はいわば、図3(a)で示したPLAと同じ概念であるが、違いは図3(a)

におけるAND回路及びOR回路の機能をROM自身が実現しているところである。

【0097】(実施例6) 図13に本発明の第6の実施例を示す。これは、ROMを用いたデータ検索システムである。データ検索システムの一例に例えば図書検索があるが、これは膨大な図書の中から読みたい分野や著者名を入力するだけで、例えば、それに関係した全ての図書を出力するシステムである。従来この様なシステムにおいては、磁気記憶媒体やコンパクトディスクなどに記憶された膨大な図書データをソフトウェア上で検索していたために、データへのアクセスや演算処理を高速化することは難しかった。膨大な図書データを高速アクセス可能なハードウエア上に記憶するためには、非常に高密度のROMが必要である。また、そのROMはユーザーが後から情報を書き込めるタイプのプログラマブルROMである必要があり、高速アクセス可能な高密度プログラマブルROMが必要である。

【0098】本実施例で示す検索システムの特徴は、情報を記憶する媒体を高速・高密度ROMで実現するばかりではなく、入力されたデータをもとにどのデータを出力すればよいかを演算部自身も高速・高密度ROMで実現していることにある。

【0099】図13において、配線608に接続されている4つのメモリ素子には、「1, 0, 0, 1」の情報が書き込まれており、これによりA='0', B='1'の時だけ配線608は「0」となり配線616は「1」となる。

【0100】配線616に接続されている4つのメモリ素子には、「1, 1, 0, 1」の情報が書き込まれており、配線616が「1」になると、配線621, 622, 623, 624にはそれぞれ「1, 1, 0, 1」が

出力される。

【0101】この出力情報は、ROM626中の例えば625の部分のアドレスを示す情報であるとともに、625の情報を出力線627に出力することができる。

【0102】この一連の操作によって、ある入力A、Bに対応したROM中の情報を読み出すことが可能である。例えば、この入力A、Bが図書の著者名を示すものであり、その著者の全ての図書をROM626の625の部分に書き込んでおき、そのアドレスを配線616に接続されているメモリセルに書き込んでおくと、著者名を入力すると自動的にその図書が出力されるシステムとなる。

【0103】このシステムはインバータなど一部の周辺回路を除き、すべて同じ構造により構成することができ、設計が非常に容易である。ROM626にデータを追加する場合は、未使用部分605、620に追加したアドレスに対応した情報を新たに書き込めばよい。

【0104】例えば608に接続されているメモリセルの情報を全て「1」に書き換えることで、A、Bの全で

(10)

特開平7-176772

15

従って高密度ROMを安価に提供することが可能となる。

【図面の簡単な説明】

【図1】本発明のアンチフューズを説明する概念図である。

【図2】本発明のアンチフューズの書き込みを説明する概念図である。

【図3】本発明のPLAの一例を示す概略図である。

【図4】本発明のROMの一例を示す概念図である。

10 【図5】本発明のスイッチの等価回路図である。

【図6】図4のROMの等価回路図である。

【図7】図4のROMの読み出し方法を説明する回路図である。

【図8】本発明のデコーダを示す回路図である。

【図9】本発明のメモリセルの一例を示す概念図である。

【図10】本発明のデコーダを示す他の回路図である。

【図11】本発明のデコーダを示す他の回路図である。

【図12】本発明の排他論理和を実現する回路である。

20 【図13】本発明のROMを用いたデータ検索システムを示す回路図である。

【図14】本発明のROMを用いたハイブリッド型システムを示す概念図である。

【符号の説明】

101、106 金属、

102 高抵抗半導体領域、

103、108 導電体、

104 電圧源、

105、109 スイッチ、

107 低抵抗金属半導体化合物、

201、202 金属配線、

203、204 導電体配線、

205、206、207、208 高抵抗半導体、

209、210、211 電圧源、

312、313 2入力AND回路、

321 2入力OR回路、

310、311 インバータ、

301～308、316～321 入出力配線、

322 金属層、

323 高抵抗半導体層、

401、404、408、411 電源電圧端子、

402、405、409、412 グラウンド端子、

410、413、435、444、448 ノード、

414、416、418、420 インバータ、

422、423、453、456 ワードライン、

424、425、460、464 ピットライン、

426 N層、

427 P層、

428 高抵抗半導体層、

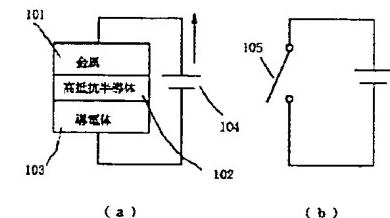
429 金属層、

50

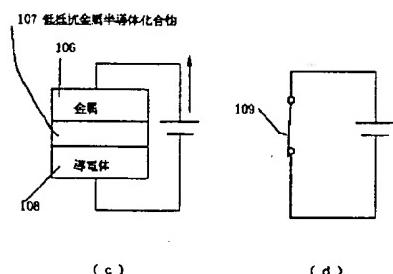
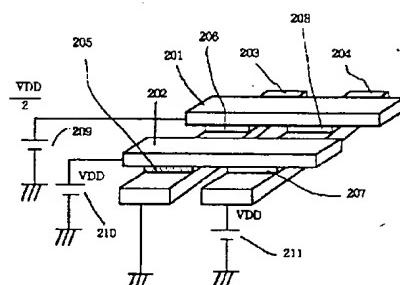
430, 431, 432, 433, 450, 454, 458, 462,
 466, 467, 468, 469 高抵抗半導体、
 436, 437, 441, 442, 443 パンジスター、
 439 出力端子、
 470, 471, 472, 473 PN接合、
 475, 477, 479, 481 インバータ、
 482, 483 配線、
 484 短絡部、
 485, 486, 487, 488 AND回路、
 489, 490, 491, 492 出力線、
 493, 494 インバータ、
 495 高濃度層、
 496 半導体、

497 金属、
 501, 511 ワードライン、
 502, 512, 529~532, 539 インバータ、
 503~510, 513~520 高抵抗半導体及びPNダイオード、
 521~524 スイッチ、
 525~528 ビットライン、
 533~536 出力線、
 608, 616, 621, 622, 623, 624 配線、
 626 ROM、
 627 出力線、
 605, 620 未使用部分。

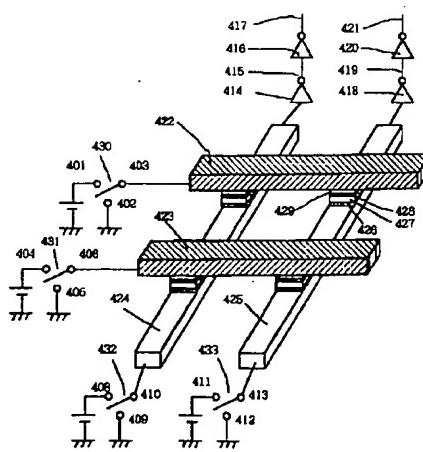
【図1】



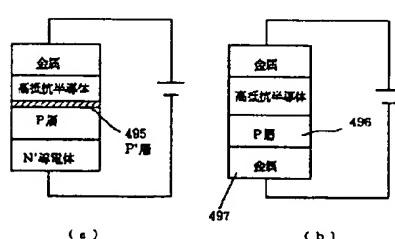
【図2】



【図4】



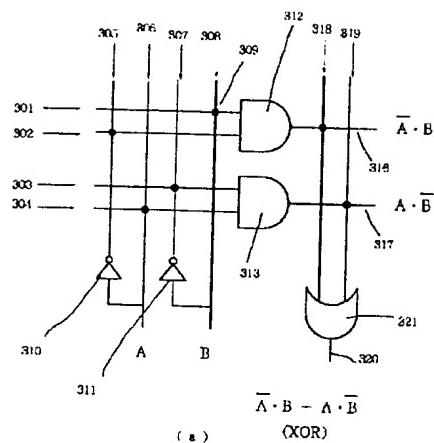
【図9】



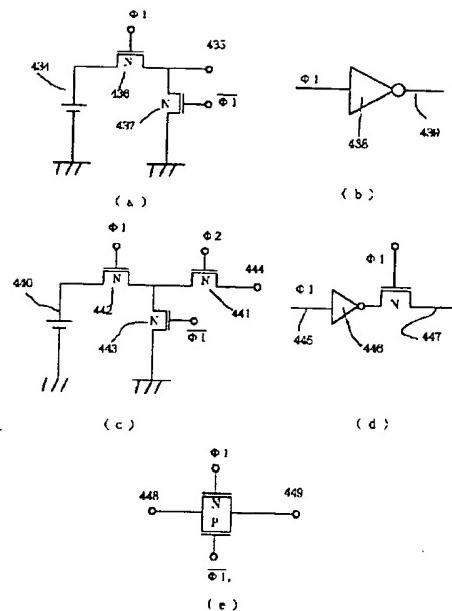
(12)

特開平7-176772

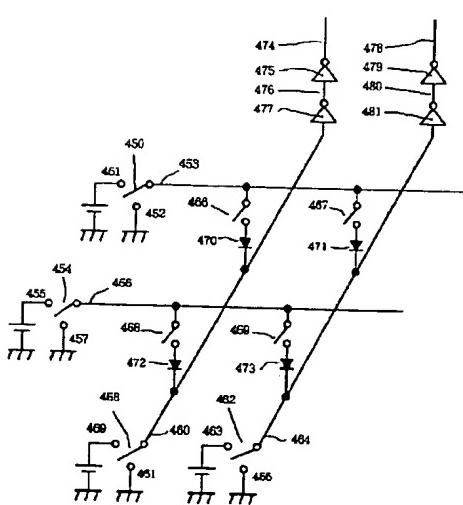
【図3】



【図5】



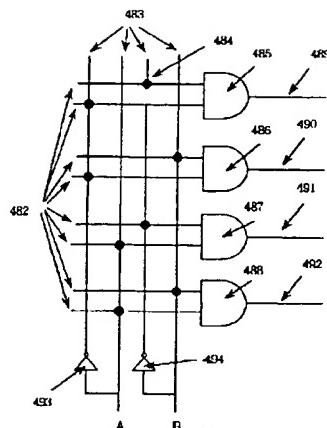
【図6】



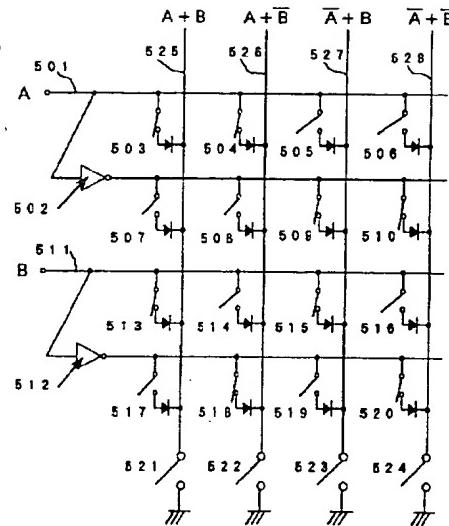
(13)

特開平7-176772

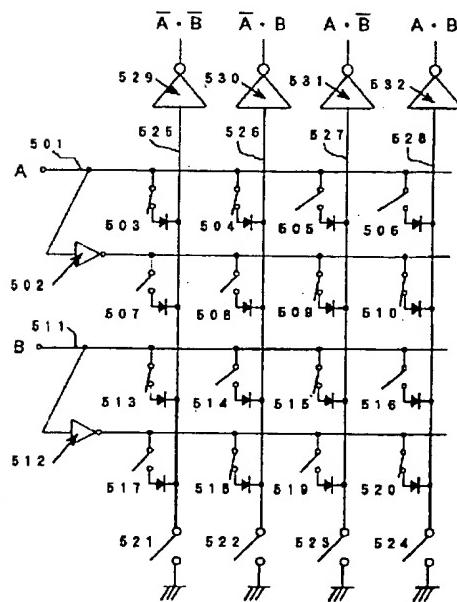
【図8】



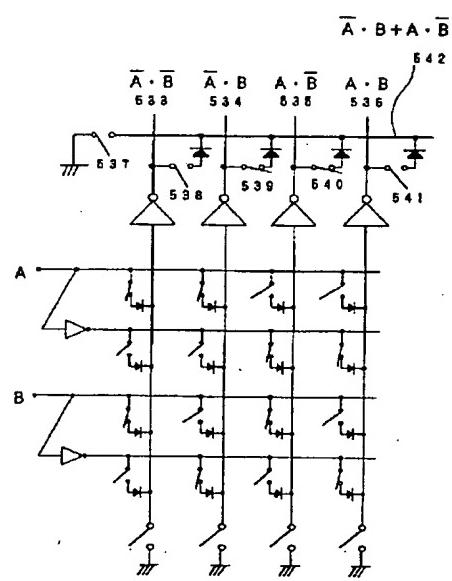
【図10】



【図11】



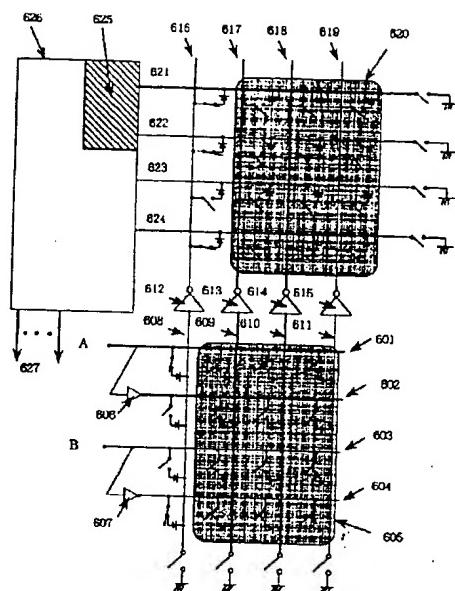
【図12】



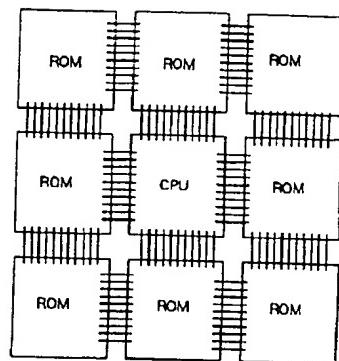
(14)

特開平7-176772

【図13】



【図14】



フロントページの続き

(51) Int. Cl. 5

H 01 L 27/10

識別記号

4 3 1

序内整理番号

7210-4M

F I

技術表示箇所